

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2003-100086  
(P2003-100086A)

(43)公開日 平成15年4月4日(2003.4.4)

(51) Int.Cl.<sup>7</sup>

識別記号  
631

F I  
G 1 1 C 15/04

### テーマコード\*(参考)

(31) 出願番号 特願2001-2000021(D2001-2000021) (31) 出願人 2000005223

(21)出願番号 特願2001-290891(P2001-290891)

(71)出願人 000005223

(22)出願日 平成13年9月25日(2001.9.25)

神奈川県川崎市中原区上小田中4丁目1番  
1号  
(72)発明者 相川 忠雄  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(74)代理人 100070150  
弁理士 伊東 忠彦

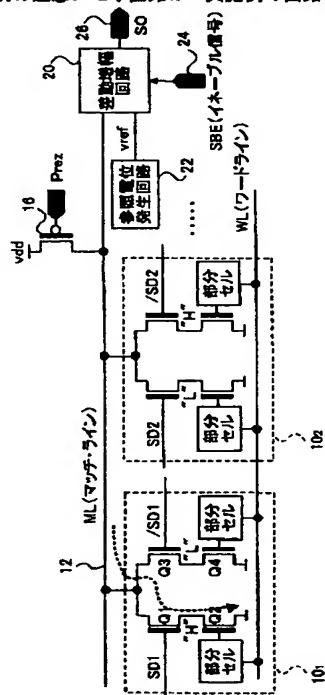
(54) 【発明の名称】 連想メモリ回路

(57) 【要約】

【課題】 本発明は、マッチ・ラインに接続されるメモリセル数が増大しても高速のサーチ動作を行うことができる連想メモリ回路を提供することを目的とする。

【解決手段】 メモリセル $10_1, 10_2 \dots$ の記憶内容を外部から入力された検索データと比較し、その比較結果をマッチ・ラインに出力する論理回路 $Q1 \sim Q4$ を有し、複数のメモリセルの論理回路が共通のマッチ・ラインに接続された連想記憶メモリにおいて、マッチ・ライン毎に設けられ参照電位を発生する参照電位発生回路 $2_2$ と、マッチ・ラインの電位と参照電位とを差動増幅して複数のメモリセルの記憶内容と検索データとの一致または不一致を判定する差動増幅回路 $2_0$ を有することにより、マッチ・ラインに接続されるメモリセル数が増大してマッチ・ラインの負荷が増え遷移速度が遅くなってしまふ高速のサーチ動作を行うことができる。

### 本発明の遮断メモリ回路の一実施例の回路構成図



## 【特許請求の範囲】

【請求項1】 メモリセルの記憶内容を外部から入力された検索データと比較し、その比較結果をマッチ・ラインに出力する論理回路を有し、複数のメモリセルの論理回路が共通のマッチ・ラインに接続された連想記憶メモリにおいて、前記マッチ・ライン毎に設けられ参照電位を発生する参照電位発生回路と、

前記マッチ・ラインの電位と前記参照電位とを差動増幅して前記複数のメモリセルの記憶内容と検索データとの一致または不一致を判定する差動増幅回路を有することを特徴とする連想メモリ回路。

【請求項2】 請求項1記載の連想記憶メモリにおいて、

前記参照電位発生回路は、発生する参照電位を可変するタイミング手段を有することを特徴とする連想メモリ回路。

【請求項3】 請求項1記載の連想記憶メモリにおいて、

前記参照電位発生回路は、前記マッチ・ラインのピッチに合わせてレイアウトされていることを特徴とする連想メモリ回路。

【請求項4】 請求項1記載の連想記憶メモリにおいて、

前記マッチ・ラインは、プリチャージされた後、前記比較結果が不一致のメモリセルによってディスチャージされることを特徴とする連想メモリ回路。

【請求項5】 請求項1または2記載の連想記憶メモリにおいて、

前記参照電位発生回路は、所定のゲート電位を与えられ縦型接続された第1、第2電界効果トランジスタから構成したことを特徴とする連想メモリ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、連想メモリ回路に関し、特に、記憶データの内容を参照できる連想メモリ回路に関する。

## 【0002】

【従来の技術】 CAM (Content Addressable Memory) 即ち連想メモリの特徴的な動作にサーチという検索動作がある。このサーチは外部から入力されるデータとCAMセル内のデータを比較する動作であり、この動作を行うためCAMのセルは図1に示すような構成である。

【0003】 図1において、それぞれ2つのインバータで構成される2つの部分セルA、Bに、"1", "0", "X (不定)"のいずれか状態を記憶する。図2に、このCAMセルの真理値表を示す。図1において、部分セルAの出力N1 = "H", 部分セルBの出力N2 = "L"で"1"の状態を記憶する。N1 = "L", N2 = "H"で"0"

の状態を記憶し、N1 = N2 = "L"の場合は"X"の状態を記憶する。

【0004】 このCAMセルには、サーチ動作のサーチデータ(SD, /SD)に"H", "L"データが送られてきてCAMセルの情報と比較され、NチャネルFET(電界効果トランジスタ)Q1, Q2もしくはQ3, Q4が同時にオンする場合は、ML(マッチ・ライン)のレベルが降下して不一致であることを示す。なお、データ/SDにおけるスラッシュは反転を意味し、これは他の信号についても同様である。

【0005】 次に、1本のMLについてのサーチ動作を図3を用いて説明する。図3及び図4は、従来の連想メモリ回路の回路構成図及び各部の信号波形図を示している。図3中、破線で囲んだCAMセル10<sub>1</sub>, 10<sub>2</sub>…は、全て図1に示した構成である。実際のチップ構成では、この複数のCAMセル10<sub>1</sub>, 10<sub>2</sub>…がML(マッチライン)12によりワイヤードオア接続されている。

【0006】 サーチ動作は図4の波形に示すように、時刻T0のスタンバイ状態で、プリチャージ信号(Prez)が"L"であることにより、ML12は"H"にチャージされている。サーチ動作は、時刻T1のプリチャージ解除から始まる。時刻T1で、MLのプリチャージが解除され、その後、サーチ用データSDが伝達されてくる。

【0007】 この状態で、CAMセル内の情報と比較され、CAMセル内データとサーチ用データSDがどちらも"H"であった場合、MLから電荷がディスチャージされる(時刻T3)。CAMセルはワイヤードオア接続されているため、このようにCAMセル内データとサーチ用データSDが"H", "H"で電荷がディスチャージされるCAMセルが1つでも存在すると、そのMLは"L"となり、不一致という結果になる。

【0008】 このMLの状態遷移を受けてインバータアンプ14を介し検索結果は信号SOとして出力される。時刻T4ではプリチャージ信号(Prez)が"L"に遷移しMLが"H"にプリチャージされることでサーチ動作の1サイクルが終了する。

## 【0009】

【発明が解決しようとする課題】 従来回路ではCAMの多ビット化、大容量化を考えた場合、チップ面積を小さくしつつ実現をすることを考えると、ワイヤードオア接続されるCAMセルを増加させればよいが、その場合MLの負荷が増えMLの遷移速度が遅くなる。MLの遷移速度が遅くなることは、サーチ動作が遅くなることを意味するので高速化に対しても障壁になるという問題があった。

【0010】 本発明は、上記の点に鑑みなされたものであり、マッチ・ラインに接続されるメモリセル数が増大しても高速のサーチ動作を行うことができる連想メモリ

回路を提供することを目的とする。

【0011】

【課題を解決するための手段】請求項1に記載の発明は、マッチ・ライン毎に設けられ参照電位を発生する参照電位発生回路と、マッチ・ラインの電位と参照電位とを差動増幅して複数のメモリセルの記憶内容と検索データとの一致または不一致を判定する差動増幅回路を有することにより、マッチ・ラインに接続されるメモリセル数が増大してマッチ・ラインの負荷が増え遷移速度が遅くなっても高速のサーチ動作を行うことができる。

【0012】請求項2に記載の発明では、参照電位発生回路は、発生する参照電位を可変するタイミング手段を有することにより、マッチ・ラインに接続されるメモリセル数に応じて最適の参照電位を得て高速のサーチ動作を行うことができる。

【0013】請求項5に記載の発明では、参照電位発生回路は、所定のゲート電位を与えられ縦型接続された第1、第2電界効果トランジスタから構成したことにより、電源電圧が低い場合にも安定した動作で参照電位を発生することができる。

【0014】付記6に記載の発明は、マッチ・ラインは、プリチャージされた後、比較結果が不一致のメモリセルによってディスチャージされ、プリチャージされたダミーマッチ・ラインを、比較結果が不一致の1個のメモリセルがディスチャージする電流の略半分の電流でディスチャージするダミーセルと、マッチ・ラインをディスチャージする電流とダミーマッチ・ラインをディスチャージする電流を検出してそれぞれの検出電位を出力する電流センス部と、電流センス部で検出された両電位を差動増幅して前記複数のメモリセルの記憶内容と検索データとの一致または不一致を判定する差動増幅回路を有することにより、マッチ・ラインに接続されるメモリセル数が増大してマッチ・ラインの負荷が増え遷移速度が遅くなっても高速のサーチ動作を行うことができ、また、参照電位を必要としないため、安定に動作をすることができる。

【0015】付記8に記載の発明では、参照電位発生回路は、差動増幅回路毎に設けたことにより、参照電位を差動増幅回路に供給する配線が短くて済み、配線にノイズが混入するおそれを小さくできる。

【0016】

【発明の実施の形態】図5及び図6は、本発明の連想メモリ回路の一実施例の回路構成図及び各部の信号波形図を示す。図5中、図3と同一部分には同一符号を付す。図中、破線で囲んだCAMセル $10_1, 10_2 \dots$ は、全て図1に示した構成である。この複数のCAMセル $10_1, 10_2 \dots$ がML(マッチライン)12によりワイヤードオア接続されている。ML12にはプリチャージ用のPチャネルFET(電界効果トランジスタ)16が接続されると併に、差動増幅回路20の一方の入力端子が

接続されている。

【0017】差動増幅回路20の他方の入力端子には参照電位発生回路22から参照電位vrefが供給されており、差動増幅回路20は端子24からイネーブル信号SBEを供給されて動作を行い、出力端子26より検出信号SOを出力する。

【0018】ここで、図6の波形に示すように、時刻T0のスタンバイ状態で、プリチャージ信号(Prez)が“L”であることにより、ML12は“H”にチャージされている。サーチ動作は、時刻T1のプリチャージ解除から始まる。時刻T1で、信号Prezが“H”に遷移することによりML12が“H”的フローティング状態になってML12のプリチャージが解除される。

【0019】その後、SDn, /SDn(nは整数)がCAMセル $10_1, 10_2 \dots$ に入力され(時刻T2)、各CAMセル内で一致/不一致の検出が行なわれる。仮に、1ビットのサーチ用データが一致した場合、1つのCAMセル $10_1$ からML12の電荷がディスチャージされる。

【0020】1つのML12に多くのCAMセルを接続した場合、ML12の負荷は重くなり、1つのCAMセルで電荷をディスチャージするには時間を要し、これがサーチ動作の高速化に対する障壁になる。1セルでも十分ディスチャージできるようにCAMセルのFETQ1～Q4の能力を上げることも1つの手段ではあるが、CAMセルは小さいほどチップ全体の面積を小さくできるのでFETQ1～Q4の能力アップには限界があり、本発明では微小電位差を検出できる差動増幅回路20を用いて対応している。

【0021】差動増幅回路20はストローブ信号SBEによって活性化され(時刻T3)、差動増幅回路20に入力される参照電位vrefとML12のレベルを比較して、比較結果を出力データSOとして出力する。差動増幅回路20はラッチ回路を持っており、出力データSOをラッチしているので、信号SBEはラッチ後すぐに閉じて、その後、時刻T4に信号Prezが“L”となって、ML12がプリチャージされる。

【0022】図7は、差動増幅回路20の一実施例の回路図を示す。同図中、ストローブ信号SBEが供給される端子30には、NチャネルFETQ10のゲート及びPチャネルFETQ11～Q14のゲートが接続されている。FETQ10はソースを電源vddに接続されドレインをNチャネルFETQ15, Q16のソースに接続されている。FETQ15のゲートは端子32を介してML12に接続されており、FETQ16のゲートには端子34を介して参照電位vrefが供給されている。

【0023】FETQ11のソースは電源vddに接続され、FETQ11のドレインはFETQ15のドレンとNチャネルFETQ17のソースの接続点に接続さ

れている。FETQ12のソースは電源vddに接続され、FETQ12のドレインはFETQ16のドレインとNチャネルFETQ18のソースの接続点に接続されている。

【0024】FETQ13のソースは電源vddに接続され、FETQ13のドレインはFETQ17のゲート及びPチャネルFETQ19のゲートに接続されると共に、FETQ18のドレインとPチャネルFETQ20のドレインの接続点及び NANDゲート38の入力端子に接続されている。FETQ14のソースは電源vddに接続され、FETQ14のドレインはFETQ17のゲート及びFETQ20のゲートに接続されると共にFETQ17のドレインとPチャネルFETQ19のドレインの接続点及び NANDゲート36の入力端子に接続されている。

【0025】 NANDゲート36, 38はそれぞれの出力端子を相手の入力端子に接続してフリップフロップを構成しており、 NANDゲート36の出力はインバータ40で反転され出力データSOとして出力される。

【0026】ここで、信号SBEが“L”の時はスタンバイ状態となり、ノードn1, n2, n3, n4は“H”状態にクランプされる。信号SBEが“H”になることにより差動增幅回路20は活性化され、ML12に接続されたFETQ15と参照電位vrefを供給されるFETQ16とのゲートレベル差により、トランジスタ能力に差ができる、ノードn3, n4に電位差ができる。この電位差をFETQ17とQ19、FETQ18とQ20で構成されるラッチで受け、更にフリップフロップで2値化及びラッチを行って出力データSOを生成する。上記の構成により、微小電位差を検出して出力データSOを生成することができる。

【0027】図8は、参照電位発生回路22の一実施例の回路図を示す。同図中、PチャネルFETm1のソース及びバックゲートは電源vddに接続され、FETm1のドレインはPチャネルFETm2のソース及びバックゲートと出力端子42に接続され、FETm2のドレインは電源vssに接続されており、vrefレベル発生部を構成している。

【0028】PチャネルFETm3のソース及びバックゲートは電源vddに接続され、FETm3のドレイン及びゲートはPチャネルFETm1のゲート及びPチャネルFETm4のソースに接続され、FETm4のドレイン及びゲートは電源vssに接続され、FETm4のバックゲートは電源vddに接続されており、第1ゲートレベル発生部を構成している。FETm4はFETm3の負荷として動作し、電源vddからFETm3のスレッショルドレベルvth3だけ低下した電位がFETm1のゲートに印加される。

【0029】NチャネルFETm5のドレイン及びバックゲートは電源vddに接続され、FETm5のソース

はPチャネルFETm2のゲート及びNチャネルFETm6のドレイン及びゲートに接続され、FETm6のソース及びゲートは電源vssに接続されており、第2ゲートレベル発生部を構成している。FETm5はFETm6の負荷として動作し、vssレベルからFETm6のスレッショルドレベルvth6だけ上昇した電位がFETm2のゲートに印加される。

【0030】このため、vrefレベル発生部の縦型接続されたFETm1, m2は、それぞれのゲート電位に応じたオン抵抗でvssレベルを基準として電源vddを分圧し参照電位vrefとして端子42から出力する。つまり、電源電圧vddが低く、vth3+vth6>vddの関係にあっても、FETm1, FETm2は安定したトランジスタ動作を行って、参照電位vrefを発生することができる。

【0031】このように参照電位発生回路22を簡単な構成にした利点は他にもある。図5に示すようにML(マッチ・ライン)はWL(ワード・ライン)と平行に走り、MLとWLの間にCAMセルが配置されており、この差動增幅回路20はMLとWLの間にセルピッチで配置される。一方、参照電位発生回路22はチップ全体で1つ設ければ良いのであるが、CAMはその特性上消費電流が多くなるので、1個の参照電位発生回路22の出力(参照電位vref)をチップ全体の複数の差動增幅回路20まで引き回すと、その引き回した配線にノイズが混入するおそれがある。従って、各差動增幅回路20に1個の参照電位発生回路22を併設することが望ましく、図8に示すように参照電位発生回路22を簡単な構成としているので回路形成面積が小さく済み好適である。

【0032】更に、図8の構成は2段縦型接続のFETm1, FETm2のゲート電位を制御して参照電位vrefを発生するので、トリミングの方法もFETm1, FETm2のゲートレベルを変えることで達成でき、レベル変更も容易である。トリミング手段を含めた参照電位発生回路22の回路図を図9に示す。

【0033】図9において、図8と同一部分には同一符号を付しており、FETm6の代わりに縦型接続されたNチャネルFETm10, m11, m12, m13, m14が設けられている。FETm10のドレインはFETm5のソースに接続され、FETm14のソースは電源vssに接続され、FETm10, m11, m12, m13, m14のゲートはFETm2のゲートに共通接続されている。

【0034】また、FETm11, m12, m13, m14それぞれのドレイン、ソースには縦型接続されたNチャネルFETm16, m17, m18, m19それぞれのドレイン、ソースが接続され、FETm16, m17, m18, m19それぞれのゲートは端子45, 46, 47, 48に接続されている。

【0035】ここで、端子45, 46, 47, 48に”H”的信号が供給されるとFETm16, m17, m18, m19がオンしてFETm10のソースが電源vssに接続されFETm10のスレッショルドレベルがFETm2のゲートに供給される。また、端子46, 47, 48に”H”的信号が供給されるとFETm17, m18, m19がオンしてFETm11のソースが電源vssに接続されFETm10, m11のスレッショルドレベルの和がFETm2のゲートに供給される。

【0036】なお、図9と同様にして、FETm1のゲートレベルを可変できるようにしても良く、上記実施例に限定されない。

【0037】図10及び図11は、本発明の連想メモリ回路の他の実施例の回路構成図及び各部の信号波形図を示す。この実施例は、更に小レイアウト化を進め、消費電力を抑えることを目的としており、差動増幅回路の前段に電流センス部を設け、その出力を差動増幅回路に入力している。なお、図10中、図5と同一部分には同一符号を付す。

【0038】図10において、破線で囲んだCAMセル10<sub>1</sub>, 10<sub>2</sub>…は、全て図1に示した構成である。この複数のCAMセル10<sub>1</sub>, 10<sub>2</sub>…がML12によりワイヤードオア接続されている。ML12にはプリチャージ用のPチャネルFET16が接続されると共に、電流センス部50のNチャネルFETm21のソースが接続されている。

【0039】電流センス部50のNチャネルFETm21, m22とPチャネルFETm20, m23, m24より構成されている。FETm20はゲートにプリチャージ信号(Prez)を供給され、ソースとドレインをFETm21, m22それぞれのソースに接続されている。FETm22のソースはDML(ダミーマッチ・ライン)52に接続されており、FETm21のゲートはFETm22, m24のドレイン及び差動増幅回路20の一方の入力端子に接続され、FETm22のゲートはFETm21, m23のドレイン及び差動増幅回路20の他方の入力端子に接続されている。FETm23, m24はゲートに電源vssを供給され、ソースに電源vdを供給されている。電流センス部50は、FETm21, m22それぞれのソース電流に応じたFETm23, m24それぞれの電圧降下から、FETm21, m22それぞれのドレインであるノードN01, N02の電位が変化する。

【0040】DML52にはプリチャージ用のPチャネルFET54が接続されると共に、56のNチャネルFETm25のドレインが接続されている。FETm25のゲートには信号dezが供給され、FETm25のドレインはNチャネルFETm25のドレインに接続されている。FETm25はソースに電源vdを供給されソースを電源vssに接続されている。ダミーセル52

は、1ビットのCAMセル(例えばCAMセル10<sub>1</sub>)が不一致の状態時に流す電流を1とするとその略半分(1/2)を流すように設定されている。

【0041】差動増幅回路20は、端子24からイネーブル信号SBEを供給されて動作を行い、電流センス部50のFETm21, m22それぞれのドレインであるノードN01, N02の電位を差動増幅して出力端子26より検出信号SOを出力する。

【0042】ここで、図11の波形に示すように、時刻T0のスタンバイ状態で、プリチャージ信号(Prez)が”L”であるので、ML12, DML52はともに”H”にプリチャージされている。そして、サーチ動作が開始されると、信号Prezが”H”に遷移し、プリチャージが解除される(時刻T1)。

【0043】その後、時刻T2で、サーチデータであるSDが”H”に遷移し、セルデータとの比較を行なう。ここでは、1ビットのCAMセルが不一致である状態を想定している。この動作と同時にダミーセル56側を制御する信号dezも同時に”H”に遷移する。これにより、ML12, DML52はともに”H”状態であったものが電荷がディスチャージされレベルが下がっていく。同様に電流センス部50内のノードN01, N02も同様にレベルが下がる。

【0044】しかし、ここでダミーセル56側は電流をディスチャージする能力が1個のCAMセルの略1/2であるのでDML52はレベルが下がるのが遅く、ML12はレベルが下がるのが早い。電流センス部50では、CAMセル10<sub>1</sub>, 10<sub>2</sub>…側(FETm21)の電流値とダミーセル56側(FETm22)の電流値とに応じてノードN01, N02の間にレベル差が生じる。その後、時刻T3で端子24からのイネーブル信号SBEを”H”として差動増幅回路20を動作させ、ノードN01, N02間の差電位を増幅し、端子26から外に出力する。このような構成により、ML12, DML52で充分な電位差が得られるより前に、高速に検索結果SOを出力することが可能となり、更に参照電位発生回路22を用いないので安定に動作することが可能となる。

【0045】なお、CAMセル10<sub>1</sub>, 10<sub>2</sub>…が請求項記載のメモリセルに対応し、FETQ1～Q4が論理回路に対応し、FETm16～m19がトリミング手段に対応し、FETm1, m2が第1, 第2電界効果トランジスタ対応する。

【0046】(付記1) メモリセルの記憶内容を外部から入力された検索データと比較し、その比較結果をマッチ・ラインに出力する論理回路を有し、複数のメモリセルの論理回路が共通のマッチ・ラインに接続された連想記憶メモリにおいて、前記マッチ・ライン毎に設けられ参照電位を発生する参照電位発生回路と、前記マッチ・ラインの電位と前記参照電位とを差動増幅して前記複

数のメモリセルの記憶内容と検索データとの一致または不一致を判定する差動增幅回路を有することを特徴とする連想メモリ回路。

【0047】(付記2) 付記1記載の連想記憶メモリにおいて、前記参照電位発生回路は、発生する参照電位を可変するタイミング手段を有することを特徴とする連想メモリ回路。

【0048】(付記3) 付記1記載の連想記憶メモリにおいて、前記参照電位発生回路は、前記マッチ・ラインのピッチに合わせてレイアウトされていることを特徴とする連想メモリ回路。

【0049】(付記4) 付記1記載の連想記憶メモリにおいて、前記マッチ・ラインは、プリチャージされた後、前記比較結果が不一致のメモリセルによってディスチャージされることを特徴とする連想メモリ回路。

【0050】(付記5) 付記1または2記載の連想記憶メモリにおいて、前記参照電位発生回路は、所定のゲート電位を与えられ縦型接続された第1、第2電界効果トランジスタから構成したことを特徴とする連想メモリ回路。

【0051】(付記6) メモリセルの記憶内容を外部から入力された検索データと比較し、その比較結果をマッチ・ラインに出力する論理回路を有し、複数のメモリセルの論理回路が共通のマッチ・ラインに接続された連想記憶メモリにおいて、前記マッチ・ラインは、プリチャージされた後、前記比較結果が不一致のメモリセルによってディスチャージされ、プリチャージされたダミーマッチ・ラインを、前記比較結果が不一致の1個のメモリセルがディスチャージする電流の略半分の電流でディスチャージするダミーセルと、前記マッチ・ラインをディスチャージする電流と前記ダミーマッチ・ラインをディスチャージする電流を検出してそれぞれの検出電位を出力する電流センス部と、前記電流センス部で検出された両電位を差動増幅して前記複数のメモリセルの記憶内容と検索データとの一致または不一致を判定する差動增幅回路を有することを特徴とする連想メモリ回路。

【0052】(付記7) 付記5記載の連想記憶メモリにおいて、前記タイミング手段は、前記第1、第2電界効果トランジスタの少なくともいずれか一方のゲート電位を可変することを特徴とする連想メモリ回路。

【0053】(付記8) 付記2または3または5または7記載の連想記憶メモリにおいて、前記参照電位発生回路は、前記差動增幅回路毎に設けたことを特徴とする連想メモリ回路。

【0054】

【発明の効果】上述の如く、請求項1に記載の発明は、マッチ・ラインに接続されるメモリセル数が増大してマッチ・ラインの負荷が増え遷移速度が遅くなても高速のサーチ動作を行うことができる。

【0055】請求項2に記載の発明では、マッチ・ラインに接続されるメモリセル数に応じて最適の参照電位を得て高速のサーチ動作を行うことができる。

【0056】請求項5に記載の発明では、電源電圧が低い場合にも安定した動作で参照電位を発生することができる。

【0057】付記6に記載の発明は、マッチ・ラインに接続されるメモリセル数が増大してマッチ・ラインの負荷が増え遷移速度が遅くなても高速のサーチ動作を行うことができ、また、参照電位を必要としないため、安定に動作をすることができる。

【0058】付記8に記載の発明では、参照電位を差動增幅回路に供給する配線が短くて済み、配線にノイズが混入するおそれを小さくできる。

#### 【図面の簡単な説明】

【図1】CAMセルの回路構成図である。

【図2】CAMセルの真理値表を示す図である。

【図3】従来の連想メモリ回路の回路構成図である。

【図4】従来の連想メモリ回路の信号波形図である。

【図5】本発明の連想メモリ回路の一実施例の回路構成図である。

【図6】本発明の連想メモリ回路の一実施例の信号波形図である。

【図7】差動增幅回路の一実施例の回路図である。

【図8】参照電位発生回路の一実施例の回路図である。

【図9】タイミング手段を含めた参照電位発生回路の回路図である。

【図10】本発明の連想メモリ回路の他の実施例の回路構成図である。

【図11】本発明の連想メモリ回路の他の実施例の信号波形図である。

#### 【符号の説明】

10<sub>1</sub>, 10<sub>2</sub> CAMセル

12 ML (マッチライン)

16, 54 PチャネルFET

20 差動增幅回路

22 参照電位発生回路

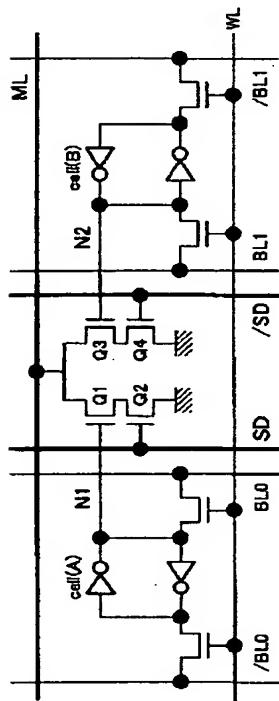
50 電流センス部

52 DML (ダミーマッチライン)

56 ダミーセル

【図1】

CAMセルの回路構成図



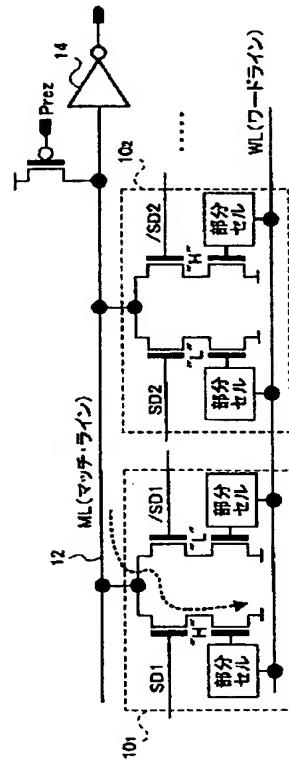
【図2】

CAMセルの真理値表を示す図

論理値	メモリ値		検出値		ML	判定
	N1	N2	論理値	SD / /SD		
1	1	0	0	1	0	不一致
	1	1	1	0	1	一致
0	0	0	0	1	1	一致
	1	0	1	0	0	不一致
X	0	0	0	1	1	(一致)
	1	0	1	1	1	(一致)

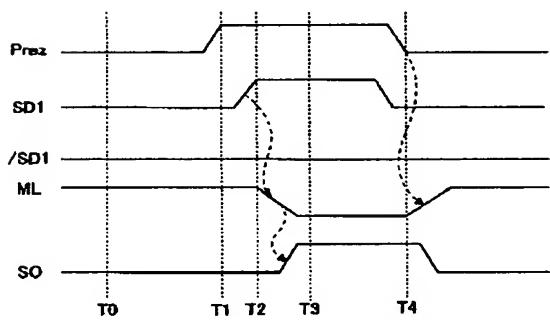
【図3】

従来の選択メモリ回路の回路構成図



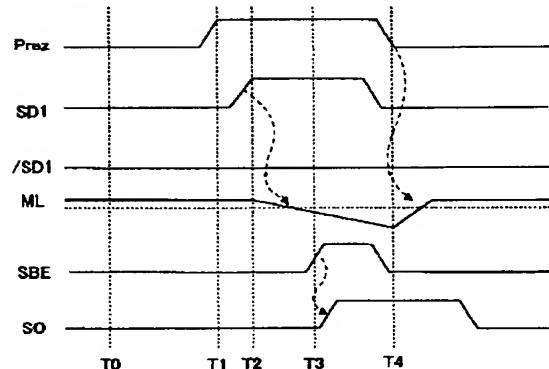
【図4】

従来の選択メモリ回路の信号波形図



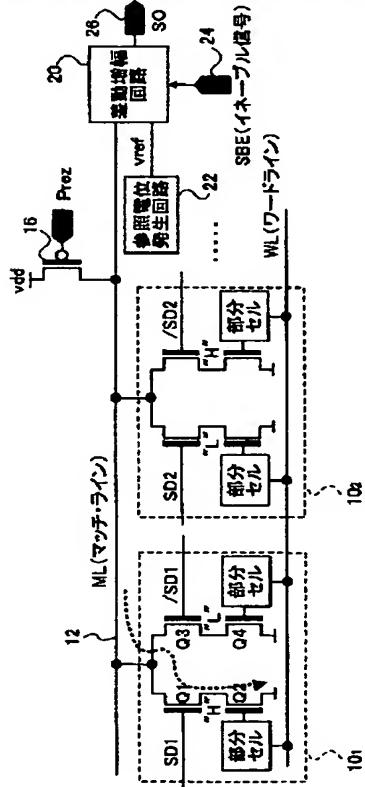
【図6】

本発明の選択メモリ回路の一実施例の信号波形図



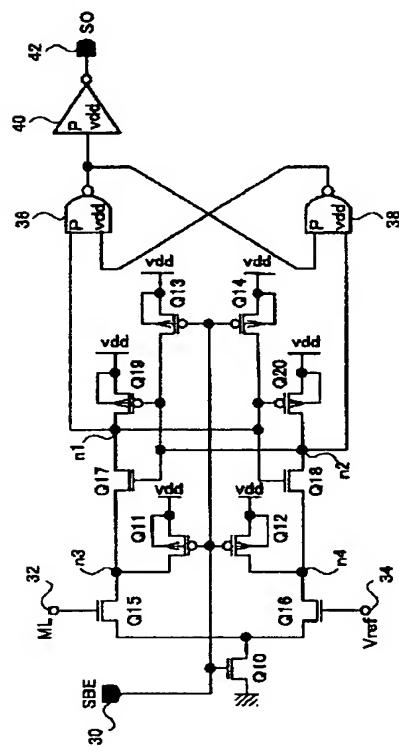
【図5】

本発明の通常メモリ回路の一実施例の回路構成図



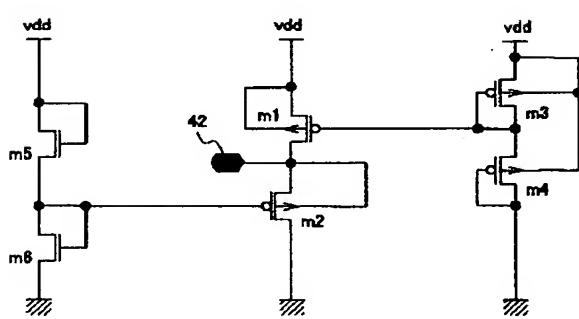
【図7】

差動増幅回路の一実施例の回路図



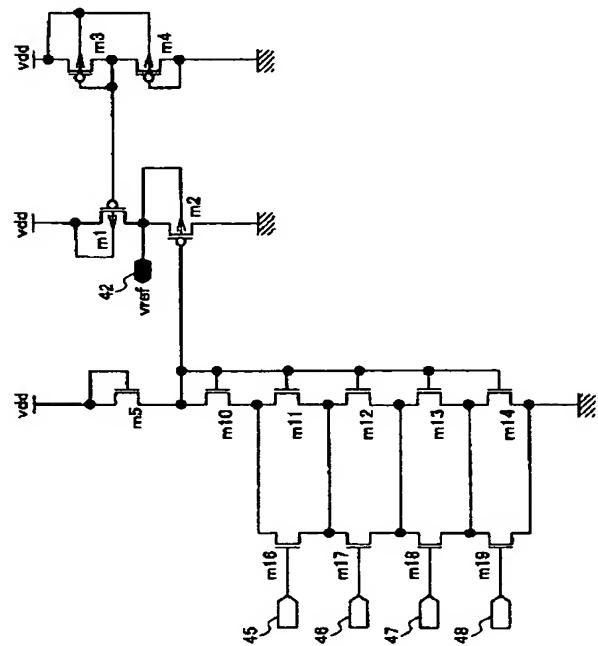
【図8】

参照電位発生回路の一実施例の回路図



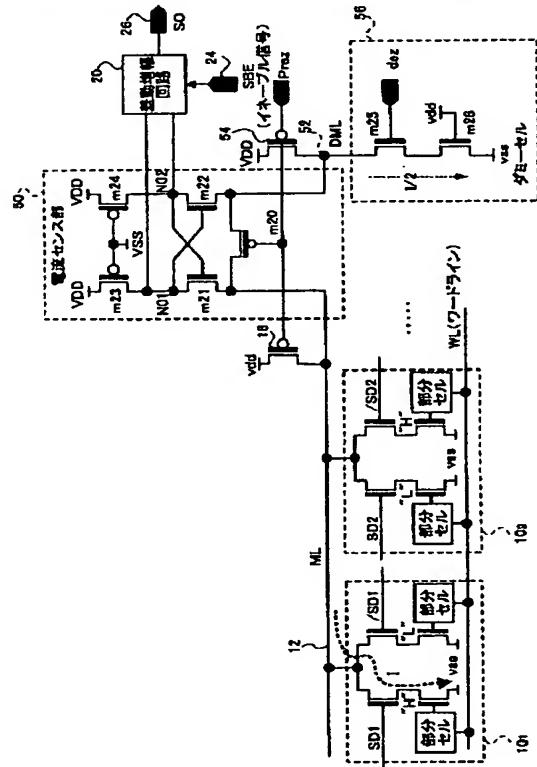
【図9】

トリミング手段を含めた参照電位発生回路の回路図



【図10】

本発明の連想メモリ回路の他の実施例の回路構成図



【図11】

本発明の連想メモリ回路の他の実施例の信号波形図

